

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

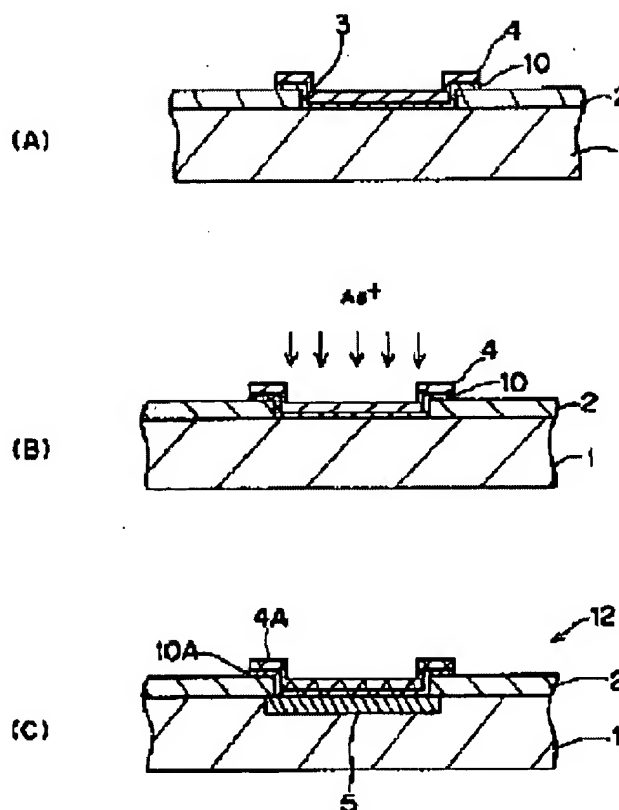
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP8017845
Publication date: 1996-01-19
Inventor: ARAKI SHINICHI
Applicant: SONY CORP
Classification:
- **international:** H01L21/331; H01L29/73
- **europaen:**
Application number: JP19940173588 19940630
Priority number(s):

Abstract of JP8017845

PURPOSE:To prevent solid-phase epitaxy front occurring when a washed emitter polysilicon layer is formed through ion implantation and thermal treatment by a method wherein an SIPOS film formed of silicon doped with oxygen is interposed between a semiconductor substrate and the washed emitter polysilicon layer.

CONSTITUTION:An SIPOS film 10 and a polysilicon film 4 are successively laminated in a contact hole 3 bored in an insulating layer 2 provided onto a silicon substrate 1 and then subjected to a process where ion implantation and thermal treatment are carried out. By this setup, as the SIPOS film 10 similar in quality to SiO₂ is located under the polysilicon film 4, a stable interface is formed between the silicon substrate 1 and the polysilicon film 4, a solid-phase epitaxy can be prevented from occurring after ion implantation and thermal diffusion are executed, so that a stable specific semiconductor device can be obtained.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17845

(43) 公開日 平成8年(1996)1月19日

(51) IntCl.⁶

H 0 1 L 21/331

29/73

図別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 72

審査請求 未請求 請求項の数 8 F D (全 6 頁)

(21) 出願番号 特願平6-173588

(22) 出願日 平成6年(1994)6月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒木 新一

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74) 代理人 弁理士 田辺 稔基

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ウオツシユドエミツタポリシリコン層を有する半導体装置において、容易に固相エピタキシャルの発生を抑制する。

【構成】 半導体基板1とウオツシユドエミツタポリシリコン層4Aとの間にポリシリコンに酸素をドーピングしてなる SIPOS (Semi-Insulating-Polycrystalline-Silicon) 膜10Aを設けるようにしたことにより、容易に固相エピタキシャルの発生を抑制し得、安定した特性の半導体装置12を得ることができる。

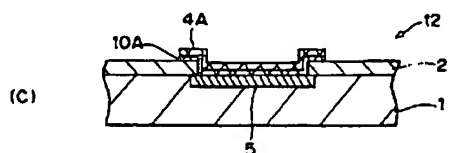
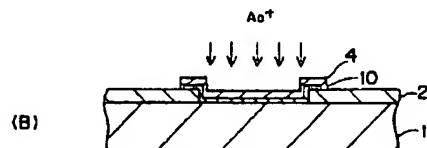
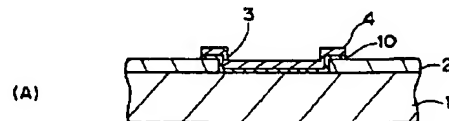


図1 概略図

【特許請求の範囲】

【請求項1】半導体基板の表面にウオツシユドエミッタポリシリコン層を有する半導体装置において、上記半導体基板と上記ウオツシユドエミッタポリシリコン層との間にポリシリコンに酸素をドーピングしてなる SIPOS (Semi-Insulating-Polycrystalline-Silicon) 膜を具えたことを特徴とする半導体装置。

【請求項2】上記 SIPOS膜は、0.4 [nm] ~ 1.7 [nm] の膜厚でなることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体基板の表面にウオツシユドエミッタポリシリコン層を有する半導体装置を製造する半導体装置の製造方法において、

上記半導体基板の表面に SIPOS (Semi-Insulating-Polycrystalline-Silicon) 膜を成膜し、

上記 SIPOS膜の表面にポリシリコン膜を成膜し、

上記ポリシリコン膜の表面側からイオンを注入した後、熱処理を施すことを特徴とする半導体装置の製造方法。

【請求項4】上記 SIPOS膜を、630 [°C] 以下の温度範囲において成膜することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】上記ポリシリコン膜を、630 [°C] 以下の温度範囲若しくは、温度の上昇及び下降を繰り返しながら成膜することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】上記 SIPOS膜を CVD (Chemical Vapor Deposition) 法によつて成膜する場合、成膜真空度を 300 [pa] 以下に設定して成膜することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】上記 SIPOS膜を CVD (Chemical Vapor Deposition) 法によつて成膜する場合、成膜酸素濃度を 8 [atm%] 以下に設定して成膜することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項8】上記 SIPOS膜を CVD (Chemical Vapor Deposition) 法によつて成膜する場合、成膜真空度を 300 [pa] 以下に設定すると共に膜中酸素濃度を 8 [atm%] 以下に設定して成膜することを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術 (図5)

発明が解決しようとする課題 (図6~図8)

課題を解決するための手段 (図1~図4)

作用 (図1)

実施例 (図1~図4)

発明の効果

【0002】

【産業上の利用分野】本発明は半導体装置及びその製造

方法に関し、特にウオツシユドエミッタポリシリコン層を有する半導体装置及びその製造方法に適用して好適なものである。

【0003】

【従来の技術】従来、ウオツシユドエミッタポリシリコン層を有する半導体装置は、図5に示すような工程により製造される。すなわち先ず図5 (A) のように、シリコン基板1の表面に酸化膜でなる絶縁層2を成膜し、この絶縁層2にエミッタ電極形成のためのコンタクトホール3を空ける。

【0004】次に図5 (B) に示すように、コンタクトホール3が埋め込まれるようにポリシリコン層4を堆積させる。次に図5 (C) に示すように、ポリシリコン層4を通してコンタクトホール3に不純物 (例えば As⁺) をイオン注入し、熱拡散処理を施すことにより、N⁺ 層5を生成する。この結果ウオツシユドエミッタポリシリコン層6を有する半導体装置7を得ることができる。

【0005】

【発明が解決しようとする課題】ところが、かかる構成の半導体装置7においては、熱拡散処理後、ポリシリコン層4が再結晶してウオツシユドエミッタポリシリコン層6となる際、下地のシリコン基板1の結晶方位と同方位の結晶となり、固相エピタキシャルが形成される場合がある。この固相エピタキシャルは1個のトランジスタでみた場合には、特に問題はないが、全てのトランジスタに同じような固相エピタキシャルを生成することは非常に困難なため、このようなトランジスタを複数個用いて回路を構成する場合に回路として所望の特性を得難い問題がある。

【0006】例えば固相エピタキシャルが形成されたトランジスタと、それが形成されないトランジスタの間では、トランジスタ特性のばらつきは、直流電流増幅率 h_{FE} でほぼ20 [%] にもなる。かかる課題を解決する方法として従来、図6に示すように、予めコンタクトホール3の位置に自然酸化膜8を形成し、次にポリシリコン層4を形成した後、イオン注入及び熱拡散処理を施すようにしたものがある。この方法によれば、ポリシリコン層4とシリコン基板1との間に自然酸化膜8が存在するため、固相エピタキシャルの生成を回避でき安定したウオツシユドエミッタポリシリコン層9を生成することができる。

【0007】ところが、この方法においては、實際上自然酸化膜8の厚みをほぼ1.2 [nm] 程度に成膜する必要がある。しかしながら、自然酸化膜8の成膜条件は、処理液の安定度や放置時間に大きく左右されるため、所望の厚みの自然酸化膜8を生成するのは非常に困難な問題がある。すなわち自然酸化膜8は例えば以下のようなウエット酸化処理を施すことにより生成することができる。すなわち先ず (HF : H₂O = 1 : 20) によりシ

リコン基板1表面をライトエッチングすることによりSiO₂膜を除去し、次に(NH₄OH:H₂O₂:H₂O=1:2:7)による湿式酸化、(HCl:H₂O₂:H₂O=1:1:8)による湿式酸化を順次施す。この後所定時間放置することにより1.2[nm]程度の自然酸化膜8が生成される。

【0008】ここでウェット酸化処理の放置時間と自然酸化膜8の膜厚の関係は図7に示す通りであり、目的とする1.2[nm]程度の自然酸化膜8を得るためには、数十分レベルの作業をしなければならぬ。またウェット酸化処理後の放置時間とラテラルエミッタトランジスタの直流電流増幅率h_{FE}との関係は図8に示すように、ウェット酸化処理直後ではh_{FE}が240程度に対して、24時間後にはh_{FE}が290に達し、ほぼ2割程度の増大が生じる。かくして、このように自然酸化膜8において固相エピタキシャルの発生を回避する方法によっても、所望の特性を有するトランジスタを得ることは実際上困難な問題があつた。

【0009】本発明は以上の点を考慮して考案されたもので、ウオツシユドエミッタポリシリコン層4を有する半導体装置において、容易に固相エピタキシャルの発生を抑制し得る半導体装置及びその製造方法を提供しようとするものである。

【0010】

【課題を解決するための手段】かかる課題を解決するため本発明においては、半導体基板1の表面にウオツシユドエミッタポリシリコン層4Aを有する半導体装置12において、半導体基板1とウオツシユドエミッタポリシリコン層4Aとの間にポリシリコン膜10を形成してなるSIPOS(Semi-Insulating-Poly-crystalline-Silicon)膜10Aを備えるようにする。

【0011】また本発明においては、SIPOS膜10Aは、0.4[nm]～1.7[nm]の膜厚を有するようにする。

【0012】また本発明においては、半導体基板1の表面にウオツシユドエミッタポリシリコン層4を有する半導体装置12を製造する半導体装置において、半導体基板1の表面にSIPOS(Semi-Insulating-Poly-crystalline-Silicon)膜10を形成し、ポリシリコン膜4の表面にポリシリコン膜4を成膜し、ポリシリコン膜4の表面側からイオン注入及び熱拡散処理を施す。

【0013】また本発明においては、SIPOS膜10を、630[°C]以下の温度範囲において成膜するようにする。

【0014】また本発明においては、ポリシリコン膜4を、630[°C]以下の温度範囲において成膜の上昇及び下降を繰り返しながら成膜するようにする。

【0015】また本発明においては、SIPOS膜10をCVD法によつて成膜する場合、成膜真空度を300[pa]以下に設定して成膜するようにする。

【0016】また本発明においては、SIPOS膜10をC

VD法によつて成膜する場合、膜中酸素濃度を8[atm%]以下に設定して成膜するようにする。

【0017】さらに本発明においては、SIPOS膜10をCVD法によつて成膜する場合、成膜真空度を300[pa]以下に設定すると共に膜中酸素濃度を8[atm%]以下に設定して成膜するようにする。

【0018】

【作用】SIPOS膜10によつて半導体基板1とポリシリコン層4との間に界面ができることにより、イオン注入及び熱処理を施してウオツシユドエミッタポリシリコン層4Aを作る際、固相エピタキシャルの発生を防ぐことができる。またSIPOS膜10は所定の条件下で容易に固相エピタキシャルの発生を防止できる性能のものを成膜できる。この結果容易に固相エピタキシャルの発生を抑制し得る安定した特性の半導体装置12を得ることができる。

【0019】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0020】図5との対応部分に同一符号を付して示す図1は、本発明による半導体装置の製造方法を適用してポリシリコンウオツシユドエミッタ層を生成する際の製造過程を示し、シリコン基板1上の絶縁層2に空けられたコンタクトホール3にSIPOS(Semi-Insulating-Poly-crystalline-Silicon)膜10及びポリシリコン膜4を順次積層するように成膜した後、イオン注入及び熱拡散処理を施すようになされている。

【0021】これによりポリシリコン膜4直下にSiO₂の性質に非常に良く似たSIPOS膜10が存在するため、シリコン基板1表面とポリシリコン膜4との間に安定した界面ができ、イオン注入及び熱拡散後の固相エピタキシャルの生成を防ぐことができる。この結果ウオツシユドエミッタポリシリコン層11を有する安定した特性の半導体装置12を得ることができる。またSIPOS膜10は半絶縁膜として機能する膜厚の許容範囲が、従来の自然酸化膜と比して格段に広いことにより、自然酸化膜を生成するときのような厳密な作業工程を必要とせず、に、所望の膜厚のSIPOS膜10を容易に成膜できる。

【0022】実施例の場合、SIPOS膜10の膜厚は、0.4～1.7[nm]の範囲に選定されている。ここでSIPOS膜10及びポリシリコン膜4は、CVD(Chemical Vapor Deposition)法によつて成膜する。實際上、SIPOS膜10及びポリシリコン膜4は620[°C]かつ80[pa]の条件下で、SiH₄を125[cc/min]で供給すると共にN₂Oを5[cc/min]で供給することによりSIPOS膜10を生膜した後、620[°C]かつ60[pa]の条件下で、SiH₄を125[cc/min]で供給することによりポリシリコン膜4を生膜する。すなわちSIPOS膜10及びポリシリコン膜4を連続成長により成膜する。

【0023】実験によれば、SIPOS膜10中の酸素濃度

5

と SIPOS 膜 10 の抵抗値との関係は、図 2 から分かるように所望の抵抗値 $10^{11} \sim 2 \times 10^{11} [\Omega \cdot \text{cm}]$ を得るためには、膜中の酸素濃度が必要となる。また成長温度との関係は図 3 に示すようになる。図 3 から、所望の成長速度 ($5 [\text{nm}/\text{min}]$ 以下) を得るには、成長温度を $630 [^{\circ}\text{C}]$ 以下にする必要がある。

【0024】また Depo 真空度と膜中の酸素濃度との関係は図 4 に示すようになる。図 4 から分かるように、 $630 [^{\circ}\text{C}]$ 以下の成長温度で、 $10^{-8} [\text{atm}]$ 以下の酸素濃度を得るためには、Depo 真空度を $300 [\text{pa}]$ 以下にする必要がある。また、実施例の場合、SIPOS 膜 10 の成膜条件として、酸素濃度を $8 [\text{atm} \cdot \text{cm}]$ 以下、成長温度を $630 [^{\circ}\text{C}]$ 以下、Depo 真空度を $300 [\text{pa}]$ 以下に選定することにより、安定した制御の下で所望の膜中酸素濃度の SIPOS 膜 10 を成膜することができる。

【0025】以上の構成によれば、シリコン基板 1 とポリシリコン膜 4 との間に SIPOS 膜 10 を設けることにより、容易に固相エピタキシャルの発生を抑制し得、安定した特性の半導体装置を得ることができる。

【0026】なお上述の実施例に代えて、SIPOS 膜 10 の成膜条件として、酸素濃度を $8 [\text{atm} \cdot \text{cm}]$ 以下、成長温度を $630 [^{\circ}\text{C}]$ 以下、Depo 真空度を $300 [\text{pa}]$ 以下に選定するようにした場合にも、安定した特性の SIPOS 膜 10 の成膜条件はこの他の条件でもよい。

【0027】また上述の実施例に代えて、成長速度を $5 [\text{nm}/\text{min}]$ かつ $60 [\text{pa}]$ の条件下で、成長速度を $5 [\text{nm}/\text{min}]$ で供給することによりポリシリコン膜 4 の成膜条件はこの他の条件でもよい。例えば SIPOS 膜 10 の成膜条件を

6

傍で温度の上昇及び下降を繰り返すことによりポリシリコン膜 4 を成膜するようにしてもよい。

【0028】

【発明の効果】上述のように本発明によれば、半導体基板の表面にウオツシユドエミツタポリシリコン層を有する半導体装置において、半導体基板とウオツシユドエミツタポリシリコン層との間にポリシリコンに酸素をドーピングしてなる SIPOS (Semi-Insulating-Polycrystalline-Silicon) 膜を設けるようにしたことにより、容易に固相エピタキシャルの発生を抑制し得、安定した特性の半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明による半導体装置の製造過程についての一実施例を示す断面図である。

【図 2】SIPOS 膜中酸素濃度と SIPOS 膜の抵抗との関係を示す特性曲線図である。

【図 3】SIPOS 膜の成長温度と成長速度の関係を示す特性曲線図である。

【図 4】Depo 真空度と膜中酸素濃度の関係を示す特性曲線図である。

【図 5】従来のウオツシユドエミツタポリシリコン層を有する半導体装置の製造過程を示す断面図である。

【図 6】自然酸化膜を用いた場合の半導体装置の製造過程を示す断面図である。

【図 7】放置時間と自然酸化膜厚の関係を示す特性曲線図である。

【図 8】放置時間と直流電流増幅率の関係を示す特性曲線図である。

【符号の説明】

1……シリコン基板、2……絶縁層、3……コンタクトホール、4……ポリシリコン層、4A、9……ウオツシユドエミツタポリシリコン層、5…… N^+ 層、6……自然酸化膜、7、12……半導体装置、10……SIPOS 膜。

【図 2】

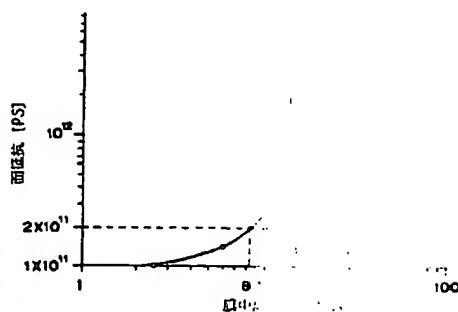


図 2 SIPOS 膜中酸素濃度と SIPOS 膜の抵抗との関係

【図 3】

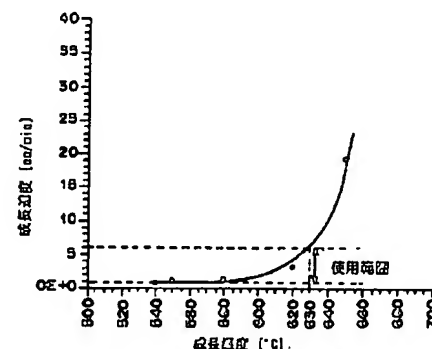


図 3 成長温度と成長速度との関係

【図1】

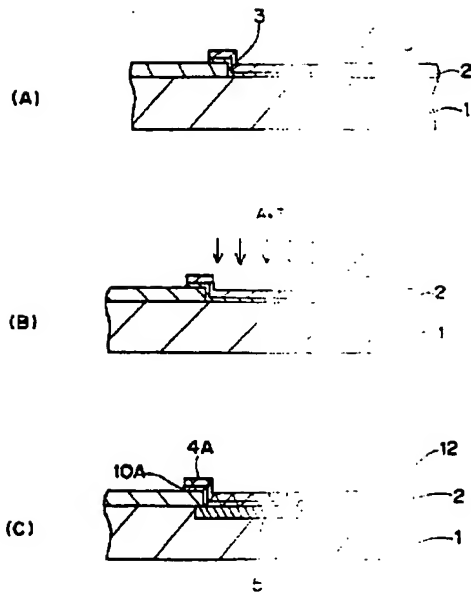


図1実施例

【図6】

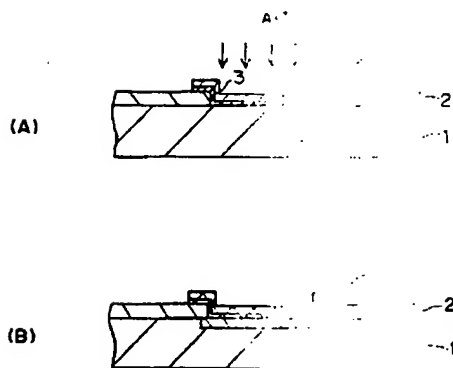


図6自然酸化層を形成

【図4】

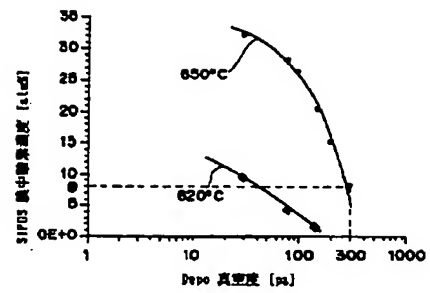


図4 Depo真空度と層中酸素濃度の関係

【図5】

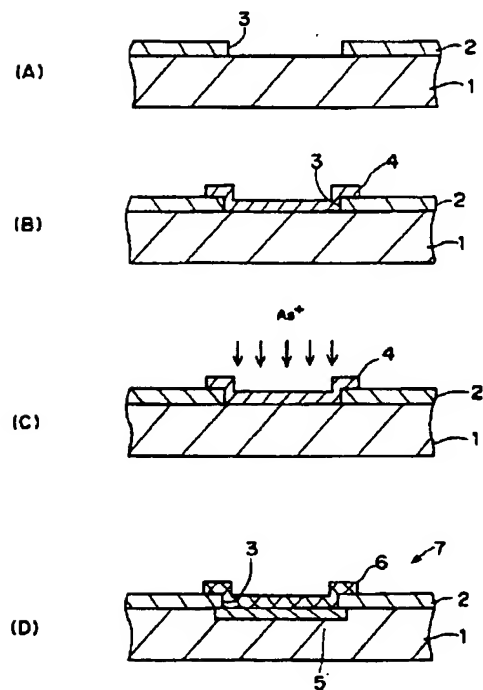


図5従来のウオウシユドエミツタボリシリコン層の生成

【図7】

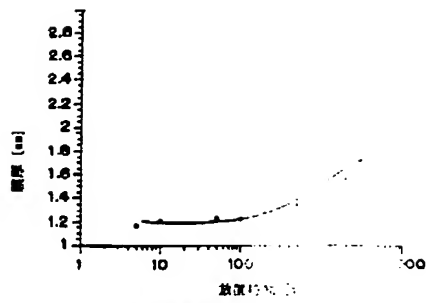


図7 放電時間と自然対数との関係

【図8】

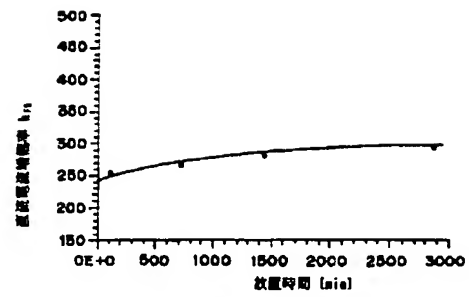


図8 放電時間とln tとの関係